

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-284591

(43)公開日 平成10年(1998)10月23日

(51)Int.Cl.⁶

識別記号

F I

H 0 1 L 21/76
29/78
31/042H 0 1 L 21/76
29/78
31/04L
6 5 5 Z
C

審査請求 有 請求項の数11 O L (全 10 頁)

(21)出願番号 特願平10-47878

(22)出願日 平成10年(1998)2月27日

(31)優先権主張番号 60/039487

(32)優先日 1997年2月28日

(33)優先権主張国 米国 (U S)

(71)出願人 591074389

インターナショナル・レクチファイヤー・
コーポレーション
INTERNATIONAL RECTI
FIER CORPORATION
アメリカ合衆国90245カリフォルニア州
エル・セグンド、カンザス・ストリート
233番(72)発明者 ウィリアム・エフ・カンタリーニ
アメリカ合衆国90277カリフォルニア州レ
ドンド・ビーチ、カミノ・リアル・ナンバ
ー201、822番

(74)代理人 弁理士 青山 葆 (外2名)

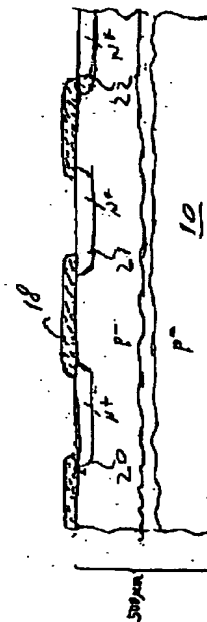
最終頁に続く

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【課題】 単一のウェハに形成される多数のセル半導体装置の各々のセルを絶縁的に分離するために使用されるトレンチ構造を含む新規装置構造を提供する。

【解決手段】 軽くドーピングされたP型またはN型出発ウェハにN+またはP+拡散域が形成される。独立したプレーナ型でかつスペースをおいたセルまたはタブがその後上記P+ (またはN+) 拡散域の間をインターセクトするトレンチの構成をエッチングによって形成する。このトレンチ部は所定の深さまで薄い装置層を通して延び絶縁体とポリシリコンとを充填して上記タブの各々を絶縁的に分離している。各セルの少なくとも一つの拡散域は隣接するセルの拡散域と接続して上記セルの所定数の各々を接続する。このN+またはP+拡散域はリング形状のP+またはN+コンタクト拡散域によって囲むことができる。MOSゲート装置はこの同一チップ内に集積することができ、また、縦型または横型MOSFETまたはIGBTであってもよい。



【特許請求の範囲】

【請求項 1】 シリコン基板に半導体装置を構成するにあたり、

上記シリコン基板の上面の選択された領域をパターニングしてエッチングし、シリコン領域とは間隔をおいてそれを囲むトレンチを形成し、少なくとも一つの分離されたセルを形成し、

上記トレンチの側壁及び底面ならびにそのトレンチの側壁に隣接する上記基板の上面の一部に絶縁層を形成し、上記基板の上面及びトレンチ内にポリシリコン層を上記トレンチ内は充填されるように形成し、

上記基板の上面に形成されている上記ポリシリコン層の一部を除去する方法。

【請求項 2】 上記シリコン基板の上面の選択された領域に、一方の導電性とそれとは反対の導電性のいずれか一つの導電性を有する不純物を導入して第一の拡散領域を形成する工程を含む請求項 1 記載の方法。

【請求項 3】 さらに、上記上面に被覆絶縁層を形成し、

上記被覆絶縁層の選択された部分をパターニングし、かつエッチングして各セルの上記第 1 の拡散領域の一つに少なくともひとつの開口部を形成するとともに、

上記セルの臨設するセルの一つにある第二の拡散領域に少なくとも一つの他の開口部を形成し、

導電層を形成し、

上記導電層の有る部分をパターニングし、かつエッチングして上記セルの第一領域に接続するとともに上記臨設するセルの第二の拡散領域に接続する少なくとも一つの内部接続用コンタクトを形成する請求項 1 記載の方法。

【請求項 4】 さらに、被覆絶縁層を形成する前に上記基板の上面に形成されたポリシリコン層及び絶縁層の部分を除去することによって上記シリコン基板の上面をプレーナ化する工程を含む請求項 1 記載の方法。

【請求項 5】 さらに、上記シリコン基板の底面の一部を除去する前に上記基板の上面に保護皮膜を形成する工程を含む請求項 1 記載の方法。

【請求項 6】 上記基板<100>結晶方向にトレンチが形成され、

上記シリコン基板の<110>±30度面及び<111>±30度面の一つに沿って方向づけられている請求項 1 記載の方法。

【請求項 7】 一方の導電性を有するシリコン基板上に形成された半導体装置であって、

上記基板に形成された少なくとも二つのセルの各々を分離し、かつ取り囲み、上記基板の上面から底面に延びる上記シリコン基板に形成されたトレンチと、

上記トレンチの壁面に形成された壁面絶縁層と、

上記トレンチ内に形成され、上記絶縁層の間を基板の上面から底面に延び、上記トレンチを充填するポリシリコン領域と、

一方の導電性とそれとは反対の他の導電性のいずれか一つの導電性を有し、上記シリコン基板の上面に形成された第一領域を有する少なくとも一つのセルと、

上記シリコン基板の上面に形成され、上記セルの夫々の第一領域への少なくとも一つの開口部と上記セルに臨設する一つのセルの第二の領域への少なくとも一つの他の開口部を有する被覆絶縁層と、

上記各セルの第一領域とそれに臨設するセルの上記第二領域とに接続する少なくとも一つの内部接続用コンタクトからなる導電層を備える半導体装置。

【請求項 8】 上記壁面絶縁層が二酸化ケイ素及び T I O S からなる群から選ばれる請求項 7 記載の半導体装置。

【請求項 9】 さらに上記シリコン基板の底面に形成されたパシベーション層を有する請求項 7 記載の半導体装置。

【請求項 10】 一方の導電性を有するシリコン基板上に形成された半導体装置であって、

上記基板に形成された少なくとも二つのセルの各々を分離し、かつ取り囲み、上記基板の上面から底面に延びる上記シリコン基板に形成されたトレンチと、

上記トレンチの壁面に形成された壁面絶縁層と、

上記トレンチ内に形成され、上記絶縁層の間を基板の上面から底面に延び、上記トレンチを充填するポリシリコン領域とを備え、

しかも、少なくとも一つのセルが上記導電性とは反対の他の導電性を有し、上記シリコン基板の上面に形成された層と、

上記他の導電性を有する層より重たくドーブされ、上記上面に形成された他の導電性を有するコンタクト領域と、

上記上面に形成され、上記コンタクト領域をそれとは間隔をおいて囲む上記一方の導電性を有する本体領域と、上記上面の本体領域の一部に形成され、上記層との間の上記上面にチャネル領域を形成する他の導電性を有するソース領域と、

上記上面に配置され上記チャネル領域を覆い、それとは絶縁され、供給される適当なゲート電圧に応答して、上記チャネル層を反転させるように作動可能なゲート電極と、

上記シリコン基板の上面の上記層と上記ゲート電極上に形成され、上記ソース領域への少なくとも一つの開口部と上記コンタクト領域への少なくとも一つの開口部とを有する被覆絶縁層と、

上記ソース領域への開口部の導電層から形成される少なくとも一つのソースコンタクトと、

上記コンタクト領域への開口部の導電層から形成される少なくとも一つのドレインコンタクトを備える半導体装置。

【請求項 11】 一方の導電性を有するシリコン基板上に

形成された半導体装置であって、上記基板に形成された少なくとも二つのセルの各々を分離し、かつ取り囲み、上記基板の上面から底面に延びる上記シリコン基板に形成されたトレンチと、

上記トレンチの壁面に形成された壁面絶縁層と、
上記トレンチ内に形成され、上記絶縁層の間を基板の上面から底面に延び、上記トレンチを充填するポリシリコン領域とを備え、

しかも、少なくとも一つのセルが上記導電性とは反対の他の導電性を有し、上記シリコン基板の上面に形成された層と、

上記他の導電性を有する層より重たくドーパされ、上記上面に形成された他の導電性を有するカソード領域と、
上記上面において、上記カソード領域に形成された上記一方の導電性を有するアノード領域と、

上記上面に形成され、上記コンタクト領域をそれとは間隔をおいて囲む上記一方の導電性を有する本体領域と、
上記上面の本体領域の一部に形成され、上記層との間の上記上面にチャネル領域を形成する他の導電性を有するソース領域と、

上記上面に配置され上記チャネル領域を覆い、それとは絶縁され、供給される適当なゲート電圧にตอบสนองして、上記チャネル層を反転させるように作動可能なゲート電極と、

上記シリコン基板の上面の上記層と上記ゲート電極上に形成され、上記ソース領域への少なくとも一つの開口部と上記アノード領域への少なくとも一つの開口部とを有する被覆絶縁層と、

上記ソース領域への開口部の導電層から形成される少なくとも一つのソースコンタクトと、

上記アノード領域への開口部の導電層から形成される少なくとも一つのドレインコンタクトを備える半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置、特にプラナー型セル構成が単一シリコンウェハに形成され互いに絶縁的に分離され、しかも1または複数のパワーデバイスが同一チップ内にプラナー型セルとして集積することができるような新規構造に関するものである。

【0002】

【従来の技術】しばしば多数のセルから構成される半導体装置の利用が望まれる。光電 (Photovoltaic) ゼネレータ (PVGs) は、例えば周知であり、ソリッドステイトリレーの制御信号を生成するために一般に使用されている。このような装置は間隔をおいて配置され、かつ分離された光電装置の光感応型表面を照射するために入力端子によって作動させるLEDを使用する。この光電装置の出力はスイッチング装置、例えばMOSゲート装置、特にパワーMOSFETまたはIGBTへの入力

として機能させることができる。このようなスイッチング装置はLEDの作動にตอบสนองしてスイッチをオン状態にする負荷端子を有している。このリレーの入力および出力端子は上記LEDと光電装置の間のギャップによって分離されている。一般にこの光電装置は多数の直列接続された光電セルからなり、パワースwitchング装置をオン状態にするに十分な高い電圧を生成するようになっている。このような装置はよく知られており、商品名PVI (光電アイソレータ) として本発明の譲受人であるインターナショナル・レクチファイヤー・コーポレーション (カリフォルニア、エル・セグンド在) から販売されている。

【0003】複数のセル・フォトゼネレーターは多くの異なった方法で製造することができる。一つの公知のゼネレーターは米国特許第4,755,697号および第4,996,577号 (発明者ダニエル・M・キンザー) に示されるような光電セルのスタックまたはパイルが使用されており、他のゼネレーターでは互いに接合分離されたものであり、それらの表面で直列に接続されたセルのプラナー型配列を使用している。また、他のゼネレーターでは独立したセルがシリコンチップの表面上に配列され、互いに接合一分離されており、絶縁的に分離することができるものである (米国特許第4,227,098号および4,390,790号)。

【0004】

【発明が解決しようとする課題】しかしながらこれらの従来の装置は低い製造収率だけでなく、製造コストが高いと言う欠点を有している。また、光電セルのプラナー型配列が絶縁的に結合されたシリコンウェハに形成されており、比較的厚い“ハンドル”ウェハは接合が形成される薄い装置ウェハとは分離されるだけでなく酸化物結合をしている (米国特許第5,549,762号参照)。しかしながらこの装置は比較的高価な出発ウェハを必要とする。それ故に、パワーMOSゲート装置のためのターンオン信号を生成するために直列接続することができる多数の分離されたセルから構成される光電ゼネレーターを、現存する製造装置または技術を使用して上記MOSゲート装置と集積化し、容易に製造することが望まれる。また、多数の接続することができる分離されたセルからなり、容易に製造されかつ、他の装置と集積化することができる光電装置を製造することが望まれる。

【0005】

【課題を解決するための手段】本発明は単一のウェハに形成される多数のセル半導体装置の各々のセルを絶縁的に分離するために使用されるトレンチ構造を含む新規装置構造を提供することにある。1または多数のN+またはP+拡散域は軽くドーパされたPまたはN型出発ウェハに最初に形成することができる。また、これらの拡散域はトレンチ形成後に形成することができる。独立したプラナー型でかつ間隔を置いたセルまたはタブはその後

上記拡散域を囲むインターセクト用トレンチ配列をエッチングすることにより形成される。このトレンチは所定の深さまで延び、絶縁体とポリシリコンが充填され、各セルを絶縁的に分離する。種々の拡散域は隣接するセルの一または多数の拡散域と接続され、所定数のセルを直列または並列に接続する。上記シリコンウェハの裏面はその後少なくともトレンチの底部のレベルまで研磨され、絶縁用酸化物をその裏面に形成することができる。上記トレンチ分離され、研磨されたウェハを同時保持するためにビーム支持体を使用することができる。

【0006】本発明によれば、絶縁的に分離され、プラナー型をなす光電発生用セルは単一ウェハに形成することができ、さらにまた、同時のウェハ内で一または多数のパワー装置と集積化することができる。多数のN+またはP+拡散域は軽くドーパされたP型（またはN型）出発ウェハに形成され、各々はリング形状のP+またはN+コンタクト拡散域によって囲まれる。これらの拡散域はプロセスの最後に形成することができることに注意する。独立したプラナー型の間隔をおいたセルまたはタブはその後上記P+またはN+コンタクト拡散域の間にインターセクト用トレンチの配列をエッチングすることによって形成される。このトレンチは所定の深さまで延び、絶縁体およびポリシリコンが充填される。その後この基板は各タブを絶縁的に分離するために薄くする。各セルのこのN+上部コンタクトは隣接するセルのP+コンタクトと接続され、所定数のセルを直列に接続する。

【0007】MOSゲート装置は上記ウェハのトレンチ分離されまたはトレンチ分離されていない領域において光電ゼネレーター構造として同一チップ内に集積化することができる。このMOSゲート装置は縦型または横型MOSFETまたはIGBTであってよく、ウェハの裏面を研磨する前に形成することができる。また、光電ゼネレーターセルの形成前または形成に続いて形成されてもよいし、または光電ゼネレーターセルと共通する幾つかの加工工程によって形成することができる。この装置の上面はその後間隔をおいたLEDの輻射出力のような光に露光され、各セルに出力電圧を生成する。これらの出力は直列に接続され、上記MOSゲート装置のスイッチングを制御することができる信号を形成する。

【0008】本発明の更なる観点によれば、他の装置を上記ウェハの他の絶縁的に分離されたセルと集積化することができる。例えばBJTs, MOSFETs, IGBTs, GDTsは共通のウェハの他の分離されたセルに形成することができる。コンタクト回路はまた他の分離されたセルに集積化することができる。他のセルに集積化された装置は縦方向導電性の装置であることができ、また横方向導電性装置を含むセルが底部コンタクト含む横方向導電性装置に集積化することもできる。重要なことはウェハの全体が内部接続されるべき種々の回路部品を含むすべてのセルと共に使用され特定の回路を構

成することにある。本発明の他の特徴および利点は添付図面を参照して説明される本発明の以下の記載から明らかになるであろう。

【0009】

【発明の実施の形態】最初に図1を参照して、これはシリコンウェハ基板10の部分の断面図である。注入マスク層は典型的にはウェハの上面上に成長したシリコン酸化物からなる。適当なフォトリソグラフィ技術を用いて一般的なフォトレジスト層が酸化層の表面上に形成され、矩形のアレイまたは他の形状の開口部にパターンニングされる。酸化層の露出部分はエッチング除去され、フォトレジストが除かれる。N型ドーパント、例えばリンまたはヒ素が、それから、酸化物の開口部を通してシリコンに注入される。注入層はドライブされ、浅いN+拡散層20, 21, 22を形成する。それから酸化層18が除去され、他のマスク酸化層30がウェハ10の上面上に成長される。かわって第1の酸化層18がN+拡散層20~22のドライブインに先立って除去され第2の酸化層30がN+拡散層のドライブインと同時に成長されてもよい。

【0010】続いてフォトレジスト層が酸化層30の上に堆積され、典型的にはリング形状であるコンタクト拡散層のための開口部を形成するようにパターンニングされる。それから酸化層の露出部分はエッチングされ、フォトレジストが除去され、浅いボロンが露出したシリコン表面領域に注入され図2に示すようなP+コンタクトリング25, 26, 27を形成する。かわりにP+リング25, 26, 27から延びたセントラルP+コレクティングフィンガーが夫々のN+拡散層の中央に配置されてもよい。注入工程に続いて注入層のドライブインが行われる。酸化層30はドライブイン工程の先、または後のいずれで除去されてもかまわない。注目すべきは、注入エネルギーおよび注入量はドライブイン時間および温度と同様に当業者に知られた方法による所望のドーパント分布に基づいて決定することができる。

【0011】続いて、デバイスは深いトレンチアイソレーション40のグリッドが形成され、該トレンチアイソレーション40は夫々のP+コンタクト領域を囲んで分離し、約80~130 μ mの深さまでシリコン基板10中に延びる。トレンチの部分は図3に部分40a, 40b, 40cとして断面図で示される。トレンチは基板10中に絶縁分離されたタブまたはセルを形成する。トレンチは典型的には知られたフォトリソグラフィパターンニング工程およびエッチング工程を用いて形成される。

【0012】トレンチアレイ40を形成した後、薄い酸化層またはTEOSのような他の絶縁層が熱成長または堆積によりトレンチの内壁上に形成され、図4に示される酸化層50, 51を形成する。トレンチはその後ポリシリコン52により埋められる。トレンチを埋めると同時にポリシリコンと絶縁層はウェハの表面上にも堆積

され、これらは夫々プラズマ平坦化エッチング工程により除去される。このように複数の同一の電氣的に絶縁された光電ジェネレーターセルが基板12に形成される。絶縁層50、51の膜厚はシリコン基板10との境界での輻射のリフレクタンスが最適化するように選択されデバイスの効率を改良し、および／またはセル間の絶縁分離を増加する。必要ならばセルの拡散パターンもこのプロセスで形成することができる。絶縁分離されたタブまたはセルを形成した後、上層酸化層60がシリコン基板10の表面上に堆積される。フォトリソグラフィーマスク工程およびエッチング工程が酸化層のパターニングに用いられ、N+およびP+領域とのコンタクト開口部を形成する。

【0013】続いてコンタクト金属層が酸化層60の上に堆積され、図4、6に示すようなコンタクトストリップ70、71、72、73がエッチング形成される。そしてセルのN+拡散層が隣接したセルのP+コンタクト拡散層に接続される。続いてウェハは保護用の透明なコートにより覆われてもよい。引き続きウェハの裏面がトレンチ40の底に達するまで削られる。トレンチ40の底上の絶縁層50、51の部分も、トレンチの約5 μ mのポリッシングにより、除去され、絶縁層50、51は基板の底面に露出される。これにより基板は75~125 μ mの膜厚となる。続いて、シリコン酸化膜または他の絶縁層からなるパッシベーション層80が図5に示すように基板の裏面上に堆積される。ウェハは典型的には16個である、あらかじめ決められた直列接続されたセルの単位に分割され、該セルは夫々半田パッドターミナル（図示せず）を有し、そしてLEDにより照らされた場合に、電圧を生成してMOSゲートパワーデバイスをオンするようなデバイスを作成する。

【0014】深いトレンチのグリッドは、<100>材料の、100または001面に沿って配置されることが好ましい。例えば<100>方向の出発材料を用いた場合、スクライブライン（およびトレンチ）は<110>および<111>面に配置される。裏面除去によりウェハは大変薄く削られるため、トレンチは<110>面および<111>面に対して45°の角度で配置されと、基板の機械的凹凸が増加してしまう。

【0015】図7に本発明の他の実施の形態を示す。該実施の形態では、矩形又は他の形状の浅いP+拡散層120~122のアレイ、及び略四角いリング形状のN+コンタクト拡散層125~127がN-基板110に形成される。P+拡散層及びN+コンタクト拡散層は、以下の点を除いて図1及び図2に示されるプロセスと似た方法で最初に形成される。各ドーパントの交換及びそれに相当する注入量及びエネルギーの変更、さらにドライブイン時間及び温度を除いてである。プロセスの残りの工程は図3~図6に示される工程と略同じ工程であり、両実施の形態において同じ引用番号を有する領域は同じ

構造を示す。デバイスは図5及び図6に示されるように互いに接続されてもよい。特徴的には、図1~図6及び図7に示されるデバイスは簡単で比較的安価な出発ウェハを用いて形成され、これによりデバイスのコストが低減される。さらなる特徴は、最も高価な工程、すなわちトレンチ形成工程、及び絶縁物とポリシリコンのトレンチ充填工程が、五つのリソグラフィ工程の三つが完了する後の、P+及びN+拡散層の形成の後のプロセスの最後で形成されることである。これにより、フォトリソグラフィマスクのアライメント、及び拡散層のドーピングとドライブインにおけるエラーが比較的高価なトレンチ形成工程に先立って発見されることとなる。

【0016】図8に本発明の他の実施の形態を示す。該実施の形態は、図1~図6のプロセスで形成された光電ジェネレーターセルが、同じP型基板に形成された横型高電圧NチャネルMOSFETとともに集積され夫々のPVGセルを分離する同じ深さのトレンチにより互いに分離されている。PVGセルはMOSFETのゲートに接続されMOSFETを駆動する。MOSFETは、交互配置型構造に形成されるが、例えば四角形、矩形又は六角形のセルのようなリング型の多角形セルに形成されることが好ましい。図8に示すNチャネルMOSFETは、横型MOSFETを形成する知られたプロセスの一つにより形成されても構わない。例えば、図8では、MOSFETの活性領域上のベアシリコン表面に均一なリンの注入が第一に行われる。リン注入層は、次にウェハ10の上面から深くドライブされ非常に深いN型領域230を形成する。最初の非常に深いN+注入に続いて非常に長いドライブが行われる。

【0017】プロセスの次の工程ではウェハの表面上に酸化層が形成され、フォトレジスト層が堆積され、続いて適当なパターニングによりウィンドが形成される。酸化層及び下層の薄い酸化層が、一定間隔のフォトレジストのウィンドを通してエッチングされる。これにより、シリコン表面が露出される。その後、フォトレジストが除去され、多量のボロンが露出されたシリコン表面領域から深く注入され、領域232の深いセントラルボディ部分を形成する。注入工程に続いて注入層の短い最初のドライブが一般に行われる。続いて、酸化物セグメントがP+領域232上に成長される。P+領域は最初に浅くドライブされ、それらの酸化物セグメント成長中の表面ボロンの消耗を避ける。フォトレジスト層が続いて表面上に堆積され、パターニングによりウィンドパターンが形成され、該ウィンドパターンによって、P+領域232を覆う酸化層を除いたすべての酸化層がエッチング除去される。フォトレジスト層は続いて除去され、薄いゲート酸化層240が、ウェハの露出した活性領域上に成長される。続いて、ポリシリコン層242が、ウェハ上に堆積されフォトレジスト層がポリシリコン層上に堆積される。続いて、フォトレジストが開口部を形成する

他のマスク工程にしたがってパターンニングされ、ポリシリコンのエッチングマスクとして用いられ、ゲート酸化層240上にウィンドウを形成する。この後、ゲート酸化層はエッチングされ、残ったポリシリコンウェーブ及びシリコン基板表面が露出され、ボロンが拡散ウィンドウを通して注入される。ボロン注入量は上記多量のボロン注入の注入量よりずっと少ない。このボロンは、拡散の後、多量のボロン領域と一体化し、低濃度P型チャネル領域236を形成する。該チャネル領域236は、高濃度注入で形成されたP+ボディ領域232より浅い。これらの領域は一般には所定の深さに達するまでドライブインされる。これにより、環状領域である低ドーピングボロン領域236が形成され、該領域はP+領域232と重なり互いに一体化する。

【0018】深いP+領域232を囲んだP-の浅い棚状領域236はゲート酸化膜の下に伸びた低ドーピングチャネル領域である。注意すべきは、P-ドライブインを含む各ドライブにおいて、すべてのジャンクションは深く移動しつづけることである。N-領域230がより深く移動した場合P+領域232はさらに多く移動する。拡散層が深くドライブすれば該拡散層が横方向にも動きこれにより浅い拡散層236は最後にはゲート酸化膜の下まで拡散する。ということは、当業者にはよく知られたことである。表面はそれから、適当にガラス除去されヒ素原子が注入されドライブインされることにより、環状のN+ソース領域250および環状のドレイン領域254が形成される。

【0019】その後、層間SiO₂又はLT₂Oコーティング膜60がチップの表面の上に形成される。そして、コンタクトマスクの開口部を明確にするようにフォトリソグラフィによりパターンニングされたフォトレジスト層でコーティングされる。フォトレジストの中の開口部を通して露出した表面はエッチングされて下層の内部の周辺部のN+ソース250と252とN+ドレイン254まで露出させる。フォトレジストを除去してから、次に堆積されたアルミニウム層がフォトリソグラフィによりパターンニングされ、ソース及びドレインコンタクト272と274を形成するようにエッチングされる。また、ソースドレイン及びゲート電極（図示せず）についても同様に行われる。アモルファスシリコン層（図示せず）は、ウェハの表面に堆積されフォトリソグラフィによりパターンニングされエミッタとゲートパッドが露出されるまでエッチングされる。この操作の間アモルファスシリコンは適したプラズマエッチングによりエッチングされる。好ましくは、PVGセルを形成する及びMOSFETを形成する少なくともいくつかの注入工程が、マスク工程の数を減らすために同時に行われる。さらに、少なくともドライブインのいくつかが同時に行われることが好ましい。また、PVGセルの一つ又はMOSFET領域に注入される時、一方はフォトレジスト又は

酸化物で被覆される。拡散及びドライブイン工程の後、積層する酸化物層の堆積及びパターンニングは金属層の堆積及びパターンニングに加えて両方のPVGセルとMOSFETの両方に同時に行われる。

【0020】PVGセルは溝40と同時に形成される別の溝を含む垂直MOSFETで集積可能であり、溝MOSFETのゲート構造を形成することも重要である。この対応においては、溝の壁の上に形成される薄い絶縁層はゲート酸化物として働く。そして、溝はゲート電極として働くドーピングされたポリシリコンで充填される。P-の浅い棚部は省略されN+層とドレイン領域の間のチャネル領域として働くように深いP型領域は少量ドーピングされる。次のマスク工程は、ウェハの裏面に絶縁酸化物がPVGセルの真下の裏面にのみ形成されるように行われ、メタルコンタクトは垂直MOSFETに隣接したウェハの裏面に形成される。同様のデバイスが図7に示したPVGセルがPチャネルMOSFETで集積されたN型基板においても形成されるということは重要である。

【0021】図9は、図5及び図6に示されたPVGセルが集積され、横型IGBTをドライブする発明の態様を示している。この態様において、リンの均一な注入はIGBTの活性領域の裸のシリコン表面にまず行われる。リンの注入は、次にP-ウェハ10の表面のかなり下から非常に深いエンハンスメント領域330を形成するようにドライブされる。最初の非常に深いNエンハンスメント注入は非常に長いドライブタイムの後に行われる。プロセスの次の段階においては、酸化物層はウェハの表面の上に堆積され、フォトレジスト層はその上に被覆され、その後、ウィンドウを形成するためにパターンニングされる。これは、溝分離工程の間に行われる必要がある。酸化物及びその下の薄い酸化物は、フォトレジストの中の分離したウィンドウを通してシリコン表面が露出されるまでエッチングされる。その後、フォトレジストは除去され、大量のボロン量が深い中心体部領域332と334を形成するために露出されたシリコン表面に対して深く注入される。注入工程に続いて最初の注入のドライブが行われ、代表的には乾燥窒素+1%酸素を用いて例えば1~2μmの最初のドライブが得られる。その後、酸化物層は、P+領域332の上に堆積される。P+領域は、最初これらの酸化物部の成長の間表面ボロンの欠乏を防ぐため浅い深さでドライブされる。

【0022】フォトレジスト層は表面の上に塗布され、P+領域332を覆っているものを除いてすべての酸化物がエッチングされるようにパターンニングされる。フォトレジスト層は続いて除去され、薄いゲート酸化物層340がウェハの露出した活性領域を完全に覆うように堆積される。ポリシリコン層342にはウェハの上に堆積され、そして、フォトレジスト層はポリシリコン層を被覆する。フォトレジストは開口部を形成する別のマスク工程に従ってパターンニングされ、ポリシリコンをエッチン

グするためのマスクとして使われる。それにより、ゲート酸化物層 340 の上のウインドウが形成される。その後ゲート酸化物層は、残っているポリシリコンウェーブとシリコン基板の表面が露出するまでエッチングされ、ボロンが拡散ウインドウを通して注入される。ここでのボロン量は大量ボロン量の場合と比べてかなり少ない。このボロン量は拡散の後大量ボロン量領域と一体となり、高濃度の注入により製造された P+ 部 332 を囲んでかつ浅い低濃度の P- 型チャンネル領域 336 を形成する。この領域はドライブされ所定の深さに達する。このようにして環状領域である少量ドーパされたボロン領域が形成される。しかし P+ 領域 332 にオーバーラップするこの領域は互い一体化するということは明らかである。

【0023】 P- の浅い棚部は深い P+ 領域 332 の周囲を囲み、ゲート酸化物の下に延びる少量ドーパされたチャンネル領域である。P- ドライブを含むドライブにおいてはすべての接合は深く移動を続ける。N 領域 330 はあまり深くは移動しない。そして P+ 領域 332 は少し大きく移動する。当業者にとっては拡散ドライブが深くなればそれらが横方向に移動し、浅い拡散層 336 は最終的にゲート酸化物の下に拡散するということは公知である。表面は脱ガラスされ、ヒ素原子が注入されそして、ドライブされ N+ ソース領域 350 と N+ カソード領域 354 を形成する。P+ コレクタまたはアノード領域 360 も N+ カソード領域 354 の中に形成される。その後、層間酸化ケイ素または LTO コーティング膜 60 がチップの表面に形成され、コンタクトマスクの開口部を明確にするフォトリソグラフィよりパターニングされるフォトレジスト層で被覆される。フォトレジストの中の開口部を通して露出した表面は、N+ ソースとカソードそして P+ 領域の中心部の下の内部の周辺部が露出するまでエッチングされる。

【0024】 フォトレジストを除去した後、続いて堆積アルミニウム層がフォトリソグラフィによりパターニングされ、そしてエミッターとアノードコンタクト 372 と 374 を形成するようにエッチングされる。またエミッターアノードそしてゲート電極（図示せず）についても同様である。アルミニウムエミッター電極は電氣的に P+ 部領域とそれらの各々の環状 N+ ソース領域の内周部を接続する。アモルファスシリコン層（図示せず）はその後フォトリソグラフィによりパターニングされ、特定のエミッターとゲートパッドが露出するまでエッチングされるウェハの表面に堆積される。この操作の間、アモルファスシリコンは適応したプラズマエッチングによってエッチングされる。

【0025】 P 型再生領域 362 は P 型部領域とカソー

ド拡散層の間のデバイスの表面の上に形成される。または垂直 IGBT は PVG セルで集積される。コレクタ領域はウェハの底面に形成される適応したフォトリソグラフィ工程を用いてメタルコンパクトがウェハの IGBT 部の裏面上に形成され絶縁酸化物層は PVG セルの裏面上に形成される。

【0026】 一つ以上の MOSFET または IGBT が本発明の PVG セルで集積される。そして三相ブリッジのような色々な回路デバイスをシングルチップの上に形成するためにインターコネクトされる。さらに上記デバイスのすべてにおいてコンタクト金属層の上に半田付け可能な金属層を積層してもよい。さらに上記デバイスのいずれもボードの上のチップとして搭載できる。そして絶縁されウェハまたはチップの表面を照らすように配置された LED と共に搭載してもよい。どのような LED を用いてもよい。

【0027】 本発明は開示した態様に関連して多くの変形例や変更例が当業者によって想到できる。したがって本発明はここで開示されたものによってのみ限定されるのではなく添付のクレームによってのみ限定される。

【図面の簡単な説明】

【図1】 間隔をおいた浅い N+ 領域の拡散に続く装置ウェハの一部を示す断面図で、この工程は図5の工程の後に行うことができる。

【図2】 浅い P+ コンタクト領域の拡散に続く図1のウェハを示す。

【図3】 分離されたセルまたはタブを区画分離する分離トレンチ形成後の図2のウェハを示す。

【図4】 上記トレンチ内壁に酸化物層を形成し、そのトレンチ内にポリシリコン領域を形成し、セルを絶縁的に分離し、被覆している酸化物層を形成してパターニングしコンタクト金属層を形成し、パターニングした後の図3のウェハを示す。

【図5】 ウェハの裏面を研磨しその裏面に絶縁層を形成した後の図4のウェハを示す。

【図6】 装置を直列に接続するコンタクトを示す図5の一部の上面図を示す。

【図7】 本発明に係る他の具体例であって、N+ 基板に形成された光電ゼネレーター装置を示す。

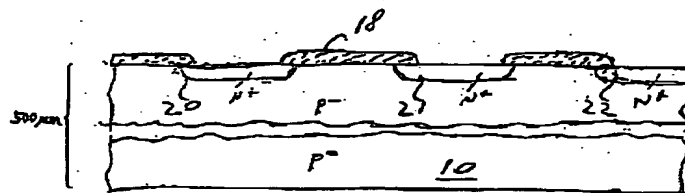
【図8】 図5の装置と同一の基板内に横方向 MOSFET を形成した他の具体例を示す。

【図9】 図5の装置と同一の基板内に横方向 IGBT を形成した他の具体例を示す。

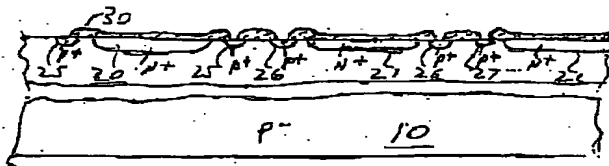
【符号の説明】

10 シリコンウェハ基板、18 酸化層、20、21、22 N+ 拡散層。

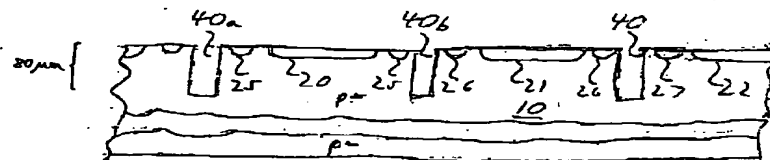
【図1】



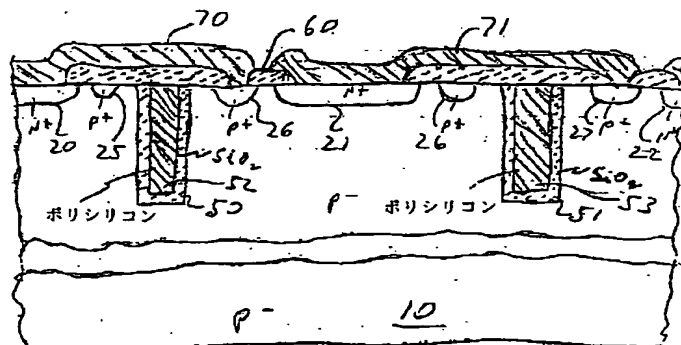
【図2】



【図3】



【図4】



フロントページの続き

(72)発明者 スティーブン・シー・リゾット
アメリカ合衆国90815カリフォルニア州ロ
ング・ビーチ、カーファックス・アベニュー
2286番